

H264_Pro 高清视频编解码(codec)器应用介绍

—— 全自主开发的 IP

E-mail: sky@siliconthink.cn
Tel: 186 6611 5942
公司主页: <http://www.siliconthink.cn/>

目 录

1. 功能介绍	3
2. 编解码器软件特色.....	3
3. 应用场景	3
4. 主要功能	4
4.1. 编码器功能	4
4.2. 解码器功能	4
5. 设计结构框图	5
6. 应用特性	6
7. 设计交付	8
8. FPGA 综合结果.....	8

1. 功能介绍

H264_Pro 视频编解码器 (encoder&decoder) 由硬件描述语言 verilog 实现，此设计经过 FPGA EDA 工具编译后可集成于可编程逻辑器件 (FPGA) 平台；也可以使用 Synopsys Design Compiler 综合后作为 ASIC 芯片的 IP 核使用。该视频编解码器输出码流完全符合 H.264 视频编码标准；解码器能解码 H264_Pro 自己编码的码流。

该设计针对硬件面积，编码帧率，综合频率做了设计结构上的优化。

该设计对 FPGA 实现做了特别的时序优化，在 Xilinx Zynq7020 上可以综合到 142MHz，单核就能够实现 1080P@30fps 的 FPGA 应用场景，双核可以实现 1080P@60fps 的应用场景。在国产 FPGA 上已经实现了 2 路 1080P@60 或 1 路 4K@30 帧编码。

2. 编解码器软件特色

- 编解码帧率高：1080P30 理论编解码最低时钟频率是 120MHz
- 硬件面积小：编码器，解码器集成在一起，共享硬件逻辑，在 zynq7020 上，只占 60% 的逻辑资源
- 低延时：编码器硬件延时在 5ms 以内
- 码率控制：一帧内部 QP 动态调整，码率更平滑
- Intra 刷新：针对无线传输等峰值带宽较小的应用场景，既能容错，又没有带宽高峰
- 降噪优异：加入 2D/3D 图像降噪，低照度下图像仍然稳定
- 代码完全自主开发，拥有自主知识产权

3. 应用场景

- 无人机航拍，图传
- 车载/机载记录仪
- 网络摄像机 (IP Camera)
-

4. 主要功能

4.1. 编码器功能

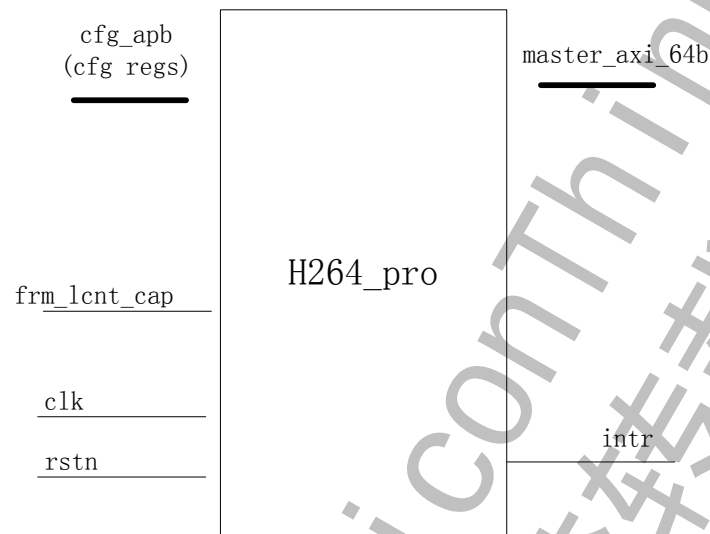
- H264 Main profile level5.1
- Maximal encode frame size: 1920x1088
- Support usually used frame size:1920x1088/1280x720/720x576/720x480.
- 1920x1088P@30fps clock frequency: 120MHz
- Low CPU MIPS requirement: just configure some registers for each frame
- I/P frame support
- ME search range : $X \in [-32, 31]$, $Y \in [-24, 23]$
- 1/4 sub-pixel interpolation support
- Me full search algorithm
- Intra_16x16 predict mode support
- CABAC entropy bit stream
- Input source is YUV 4:2:0 8bits resolution
- Low latency encoding support, less than 2ms

4.2. 解码器功能

可以解码 H264_Pro 编码器的码流。

注意：解码器功能不是 H.264 全标准兼容，只能解码 H264_Pro 自己编码的码流。

5. 设计结构框图



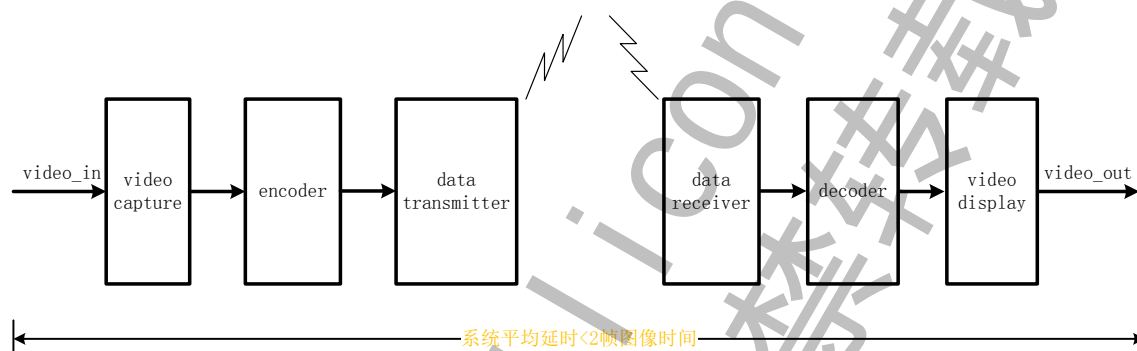
- 1) clk: core 运行的时钟；单时钟，全同步设计。
- 2) rstn: core 的异步复位信号；低有效。
- 3) cfg_apb: 32b APB 总线对内部寄存器进行访问。
- 4) master_axi_64b: 64b AXI4 内存访问总线；读取原始图像；读取参考帧图像；写入重建图像；写入编码码流。
- 5) intr: core 的中断信号，每编码（解码）一帧结束，产生一次中断。
- 6) frm_lcnt_cap: 这个输入只有在编码器低延时模式下才有用。表示前端抓图模块已经往 DDR 里面写入多少行原始图像数据。如果是 1080P 格式，在一帧抓图结束后，这个值应该置 1088/或立即变 0。

6. 应用特性

A. 低延时

基于视频处理全系统的优化设计，整个编解码系统能够达到业内顶级的系统延时指标。在视频处理的整个环节：视频输入采集-->视频编码-->码流传输-->视频解码-->视频显示，都做了优化，系统延时达到：

- a) 编码端：在 1080P@30 帧时，硬件延时小于 5ms；
- b) 编解码全系统：整个延时小于 2 帧图像时间。比如 720P60，系统延时小于 33ms；1080P30 系统延时小于 66.67ms；

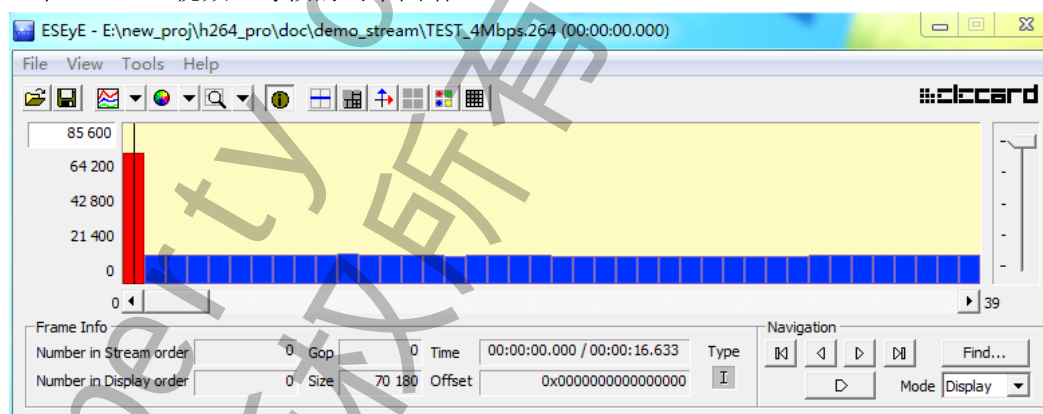


B. 码率稳定

h264_pro 编码器软件自带优异的码率控制算法模块，码率误差：

- a) 一帧内：+- 15%；
- b) 1s~2s 内：+- 5%；

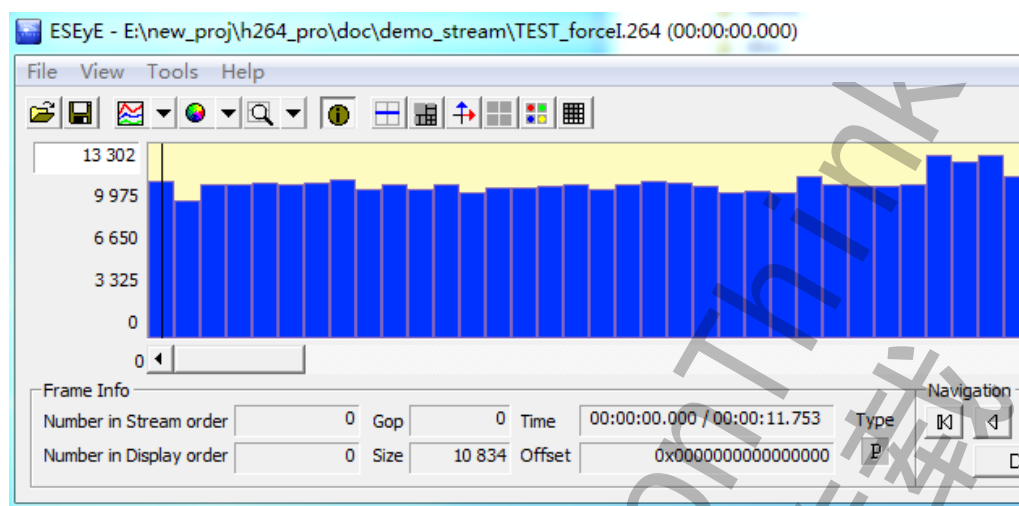
一个 1080P30 视频，每帧的码率图谱：



C. 消除带宽高峰

针对无线图传等应用场景的特点：峰值带宽等于平均带宽，h264_pro 编码器软件含有 intra_refresh 的功能，既能容错，又没有带宽高峰。

一个 720x576@30 帧图像在 intra_refresh 下每帧的码率图谱：



D. 2D+3D 降噪

在低照度条件下, 前端图像采集的 CMOS sensor 的信号方法系数会调节的很大(ADC 的增益很大), 在成像图像中会产生很大的噪点。这些噪点会使视频呈现闪烁状态, 也大大降低 h.264 编码器的压缩率。在 h264_pro 编码器中, 集成了 2D+3D 降噪的算法, 能很好的抑制这种随机噪音, 使图像稳定, 提高压缩率。视频前后对比如下:

前端采集原始图像:



2D+3D 降噪, 编码后图像:



完整视频见百度网盘：

链接：<https://pan.baidu.com/s/1QGCbzf5jhuTlrT609Fu1Nq> 提取码：rdww

7. 设计交付

- 1) DCP(Xilinx)
- 2) RTL 代码
- 3) RTL 仿真的参考环境，基于 VCS/Modelsim
- 4) 技术支持，协助系统仿真，整合与调试

8. FPGA 综合结果

H264_Pro Area (Xilinx Zynq 7020)					
stage	Configure	DFFs	Luts	BRAMs	DSP48s
Synthesis	CABAC(enc+dec)	28500	29800	61	9