

## 数字 IC/FPGA 设计 100 问

Our goal: help making good designs ...

### --- A: 数字 IC/FPGA 设计问题

41. Chip tapout 后，测试发现 function 不对，怀疑 setup 和 hold time 有 violation，该怎么确认？

- 先分清楚是 setup 还是 hold;
- 如果 setup: 降低 clkfreq; 从 PVT corner 考虑，往 FF corner 搞，你懂的;
- 如果 hold: 从 PVT corner 考虑，往 SS corner 搞，你懂的;

注意：

- 如果 hold, 降低/提高 clkfreq, 有用吗?
- 最终，还得在 PT tool 上，把问题给确认了。

42. 请问：SD 卡读取数据，SD 卡端会卡住，是什么情况？SD 卡正常读取数据，debug 之后发现是 SD 卡偶尔数据没有输出，请问一下有没有大佬遇到过？

sky 也不会哈 😊。

debug 是每个工程师必经的。

一般不要先怀疑对方成熟芯片的 bug。看看接口时序，r/w 访问流程，timing 等对不对。

嗯嗯，这些检查过了，之前也进行了大量的测试，连续读取了 150 多万次都没问题，就

是偶尔会卡住，debug 之后发现是 SD 卡应该有数据输出的时候，却没有数据输出 😞。

RTL code 中，插入 debug 逻辑。产生 trigger 信号，方便 ILA 抓这个状态。ILA 可以设置：看 trigger 之前（and 之后）的 N 个周期的数据。

或是试试，

- 降低接口频率；
- 时钟 rising/falling edge 换换等等。

嗯嗯，已经抓出波形了，断定问题就是出现在 SD 卡没有数据输出。也试过降低频率，但我发现，降低频率好像更容易卡住了。

那换个大厂 SD 卡看看。

还有，chip IO 信号，output 一定要 DFF 输出哈。别 comb 输出，可能给对方发送毛刺，导致错误。自己看看代码。

这个确实没注意到，我再研究研究。

43. 请问对于 i2c 单个主机多个从机的情况，主机发送一个器件地址过来，对应的从机发送 ack，不对应的发送 nac，那么主机接收到的是哪一个呢？会不会 nack 的高电平把 ack 拉高了呢？

不会。

在 IIC 接口里，SDA/SCL IO 是什么类型的？Pure output or Bi-direction (Tri-state)？IIC device 的 SDA 输出时：

- a) 当输出 0 时，是 device drive to 0 还是靠 PCB 上的 pull-down;
- b) 当输出 1 时，是 device drive to 1 还是靠 PCB 上的 pull-up;

然后，是 device drive 的能力强还是 PCB 上的 pull-up/down 的 drive 能力强？

44. 请问：VCS、或者Modelsim能够在编译阶段报出RTL multi-driven么？warning和error都行。比如像如下代码：

```
output [7:0] vr_o;
reg [7:0] ub_reg, vr_reg;
.....
assign vr_o = vr_reg;
assign vr_o[4:2] = ub_reg[4:2];
```

仿真工具不知道，可以试试代码检查工具，比如：nLint, spyglass。然后 synthesis tool 肯定有 warning。

45. 请问各位大佬，verilog 中如果在前端设计使用 generator（如 generator-for）进行模块调用，DC 是否可综合，以及后端 ICC 是否可通过？

generate 本身是可以综合的（只要你在里面不要写些不可综合的代码）。另外可以给每个 generate block 一个名字，这样综合，后端都好找到这些逻辑。

46. 请问：DC 综合后的 netlist，居然还有 assign 在里面！？

```
set_fix_multiple_port_nets -all -buffer_constants
```

47. 请问：DC 综合时，为啥 clk\_freq 只提高了 15%，但是面积却增加了 80%？

因为 clk 推到该 cell library（结合你的 design）的极限后，DC 会优先考虑 timing，所以死命优化，用各种方法尽量满足你的 timing 要求：

- a) 更高速的电路结构，比如：ripple-adder → CLA/BK\_Tree adder;
- b) 选用推力更的 cell，比如：X2/X1 → X8/X16;

类似你一般考 92 分，哪天让你考 98，你得付出多好倍的努力？

48. 请问：问下为什么 rtl coding 的时候不要写 latch？

您可以试试，自己用 Latch based 做一个小设计（全部用 Latch，不用 DFF），然后去综合，看看 timing 情况（时钟能跑多少 MHz）。然后，你有感觉了。

请再详细指教？

首先，latch 是可以综合的，DC、vivado 都可以综合 latch 的。

为啥不用 latch based 设计，这事我也想了好多年。

也是去年才大致清楚为啥。

抛个问题：如果是 latch based design，你觉的是：

- 1): 只用一个 edge enable(高或低)有效的 latch;
- 2): 两个 edge enable 有效的 latch 配合使用;

选哪个？

第一个。

我的答案：选 2)。

并且，配合还得很默契。信号在 latch 间流动顺序：

pos latch -> neg latch -> pos latch -> neg latch -> pos latch ....

如此严格反复循环。

那你可以想想，这对 designer 的要求多高？信号随便拉就不行了。

不懂了 太高端了。这样有啥用吗？

这样就是为了 CLK 能跑更高速度。最好就是自己写个设计，综合，对比 timing。

自然明白了。

不琢磨，记住结论就行：自己写的 IP，基本用 DFF based 的 design，不要搞 latch。

目前基本（绝大多数公司）只有如下用 latch：

1): clock gating;

2): register file（小型 SRAM）（调用 Designware 的 latch based register file）;

49. 对 STA 有点感觉了，怎么进一步提升？

拜会 Zimmer 大佬，many, many SUNG best papers.

<https://zimmerdesignservices.com/publications/>

50. SRAM 在不 read/write 时，为啥需要把 cs 信号拉到无效状态？一直放在 active level，但是 we 是 inactive，功能不是一样的吗？

你老妈每分钟都给你打电话，让你努力学习，有啥坏处？你啥感觉？

PS: cs 拉到 inactive 状态，SRAM 可以更省电。

51. 请问，pt 吃 .lib 的命令是什么？

也许可以。如果不能吃 \*.lib，也可以用 lib compiler 把 \*.lib 转换为 \*.db。

52. 请教个时序问题 100Mhz 的逻辑在 A7 上查看时序报告，slack 为 -0.642 还可以在优化吗，或者可以不用管吗？

Paths	Requirement	Path Delay	Logic Delay	Net Delay	Clock Skew	Slack	Clock Relationship	Logic Levels	Routes
Path #1	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #2	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #3	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #4	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #5	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #6	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #7	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA
Path #8	10.000	10.209	3.260 (32%)	7.009 (69%)	-0.145	-0.642	Safely Timed	14	0   RA

通常是要 fix 掉的。

但是 fpga 嘛，看你的应用场合，PVT 不一定会在 SS corner，比如 V 可能就比较稳定。

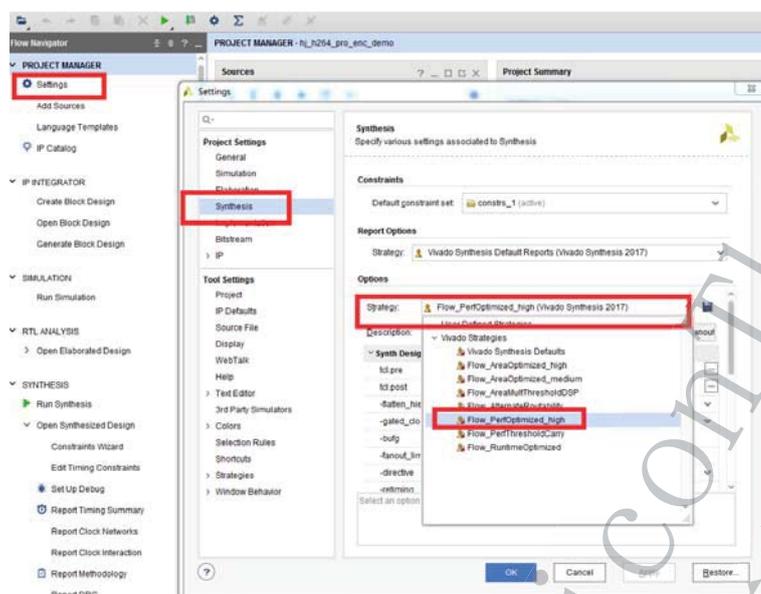
所以 setup 有点点 violation，还好，测试看看咯。我一般在 -0.10ns 会放过。

有法优化不呢？

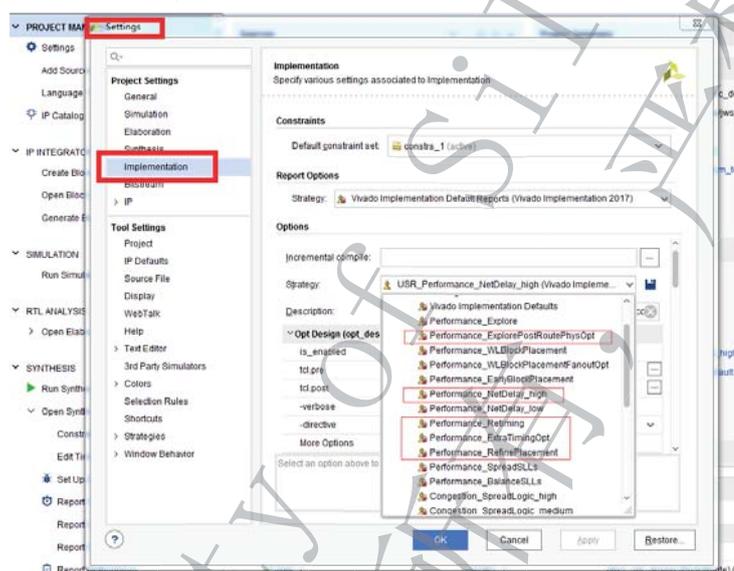
a) 改代码，增加 DFF pipe。

b) 尝试 vivado 自带的 option。

synthesis



Place&Route options:



这些 option 都可能 improve wire delay。但是得一个一个的试。具体看 vivado user guide。

53. 为啥说：因为 hold 问题插 buffer 能插出 setup，是插多了么？

可能是插的位置不对，比如一个寄存器的输出通过一团组合逻辑接到两个寄存器的输入，他们有一段共同的路径，一条 path 的 setup 比较 critical（比如 slack=0.001），另一条 path 的 hold 有问题。然后你在修 hold 有问题的这条 path 的时候把 buffer 插在他们的共同路径那一段，那么另一条 path 的 delay 也会增大不少，就会出现 setup 的 slack<0（violation）。

54. linux 系统下对 verilog 代码进行语法检查都用什么软件？

我用 verdi/debussy。也可以 vcs/nc-verilog。

那 coding 可综合规则的检查呢（比如 Latch，incomplete sensitive list 等）？

nLint, Leda, spyglass。

55. RTL 仿真正常，然后用 DC 综合 RTL 代码得到 DC 综合网表，formality 比对 rtl 与 dc 网表一致。用 DC 综合网表进行仿真，不带 sdf，vcs 编译时添加了+notimingcheck+nospecify，仿真结果错误，debug 发现时由于 flipflop 的行为偶尔出现错误导致次问题出现。想问下 DC 网表仿真时还需要进行其他的额外处理吗？

猜测 DFF 功能错误原因：clk edge 跟数据变化的 edge 对齐，导致仿真 tool 采样错误。

解决办法：在库的 cell library 的仿真模型中，使用 DFF/Latch 等时序 cell 有 1unit delay 的 sim model。

如果没有这种 model，自己手动(perl)替换，增加一个 1unit 的 delay（不要给组合逻辑加，比如：DNAND, OR, XOR）。

56. quartus 怎么打不开 mif 文件？

知道 mif 里面的内容是什么不？先搞清楚，mif 文件，里面的内容是啥，怎么用。

一般，MIF 是 xilinx 的 ROM data memory initial file，里面定义了一个 ROM 每个地址的数据值。

对于 FPGA，要综合出 ROM，可以 verilog code 可以直接如下写（ASIC 不行，得用 memory compiler）：

```
reg      [31:0]   mem [0:2047];
initial begin
    $readmemh(“./rom_ini.mif”, mem);
end
```

```
always @(posedge clk) begin
    if(en)
        dout    <= mem[addr];
end
```

57. 请问：带 xilinx 的 IP 的 RTL 仿真，或综合后的 gate sim，为什么必须添加 gbl.v？

这个文件给 xilinx 的 IP、底层 cell 的行为模型做初始化。必须在仿真的顶层 instance 这个 module（虽然这个 module 没有 IO）。

如果不 instance 这个文件，仿真功能可能不正确。

58. 请问：后仿真(post gate-sim，带 delay 的)，做啥的？怎么做？

后仿真吃：gate level netlist（define function）+ SDF (define delay)。

gate level netlist (\*.v) /SDF 是 PT or 后端布局布线工具 write out 的（或类似的 tool）。已经把工艺参数给你屏蔽好了。

这样 design 里面的每个 cell 就有 delay 了，模拟 IC 真实的工作情况。

59. 请问：后仿除了检查异步时序还有啥作用？我理解前仿，STA 和形式验证（LEC）不是已经保证电路功能以及同步时序的正确性了吗？

首先准确的功耗分析必须靠带 delay 的 post-gate sim。

另：STA 分析的基础：电路 + SDC constraint。

电路功能有 RTL sim 确认。SDC constraint 是人写的吧，如果错了，咋整？所以，后仿可以稍微检查 SDC 是否有错误，但是检查非常不全。因为 post-gate sim 非常慢，一般只跑

部分 pattern。

IC tapout 一次太贵，太耗时，悲观/谨慎些是 IC 设计都有的思想。这个 post-gate sim 可以增强一些 tapout 的信心。

60. verilog 中 signed 可以综合吗。综合确实没报错，但是会不会对结果没有影响。有大佬了解吗？

可以综合，sim/综合都能判断是 signed number。但是千万注意：当 signed/unsigned 混合在一个表达式里时（一个操作数是 signed，另一个是 unsigned），好像是全部转化为 unsigned 处理（有待验证）。

---

顺带打个广告，我司数字 IC/FPGA 设计培训课程（腾讯课堂）：

- a) 《数字 IC/FPGA 设计入门\_合集》：  
<https://ke.qq.com/course/3133628?tuin=64ce5e2a>
- b) 《PPGA 设计入门》：  
<https://ke.qq.com/course/3067626?tuin=64ce5e2a>
- c) 《On-Chip-Bus 精讲》：  
<https://ke.qq.com/course/2900266?tuin=64ce5e2a>
- d) 《数字 IP 设计实例\_A》：  
<https://ke.qq.com/course/3132227?tuin=64ce5e2a>
- e) 《数字 IP 设计实例\_B》：  
<https://ke.qq.com/course/3200590?tuin=64ce5e2a>
- f) 《数字 IP\_FPGA 设计实战》：  
<https://ke.qq.com/course/3292002?tuin=64ce5e2a>

---

作者介绍（QQ 技术交流群：877205676）：

sky：2006 年电子科大毕业；前 Verisilicon Senior Staff Engineer；数字电路前端设计从业 14 年；主要做视频 IP 设计（H.264/H.265 编解码器设计，JPEG 编解码器设计），CNN 加速器 IP 设计。参与 7 颗 ASIC/SOC 芯片设计（量产 3 颗）。目前申请 3 篇国家发明专利。

公司主页：<http://www.siliconthink.cn>