

门控时钟

(Clock Gating)

Our goal: help making good designs

1 前言

一个 IP/ASIC 的性能好坏，在技术上通常用 PPA (power, performance, area) 来评判。随着现在手持/IoT 等电池供电设备的普及，大家对于 power 都非常敏感。本次简要讨论数字 IP/IC 设计中非常成熟的降功耗技术。

2 Clock-Gating 降功耗技术

在数字 IP/IC 前端设计中，通常使用 clock gating 的方式来降低动态功耗：含 clock tree 上的动态功耗，DFF 的动态功耗。

clock gating 的插入方式，通常有 3 个层级：

- a) DFF cell level: dynamic clock gating;
- b) Sub-block level: static clock gating;
- c) Function-block level: static clock gating;

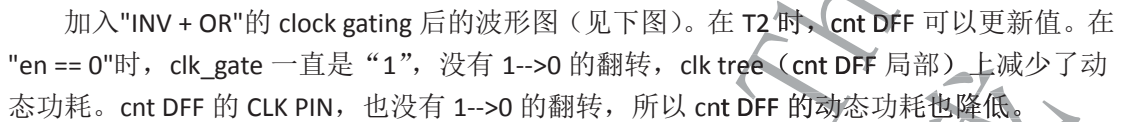
2.1 DFF Cell Level

2.1.1 原理

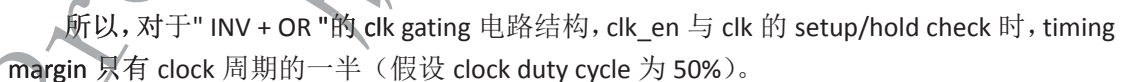
我们 design 里面的 DFF，其实多数时候并不是每个 clock cycle 都需要进行值的更新的，比如如下代码段的 cnt，是有在 "en == 1" 时，才需要更新值。

```
1
2 input wire clk, rstn ;
3 input wire en ;
4 output reg [15:0] cnt ;
5
6 always @(posedge clk or negedge rstn)
7 if(!rstn)
8 cnt <= 'd0;
9 else if(en)
10 cnt <= cnt + 'd1;
11
```

在 "en == 0" 时，其实是可以把 cnt[15:0] 的 DFF 的 clock 关掉的。这种操作，其实 ASIC 综合工具（比如 Design Compiler）是可以自己根据你的 RTL code 自行推断的，对以 designer 可以不用管，综合工具能自行插入 clock gating，并保证电路功能的一致性（如下图所示）。综合工具可以自行把 cnt DFF 前的 MUX 变换成 "INV + OR" 的 clock gating 形式。左右图的电路功能是一致的。

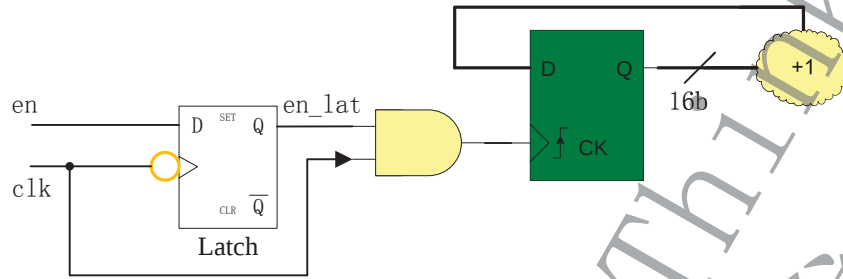


我们知道，clock 必须干净，不能有 glitch。所有，在 clk gating 处，在 STA 分析时，是需要分析 clk gating 的 setup/hold 是否满足需求的，如下图中的 clk rising/falling edge 跟 clk_en 之间的 setup/hold。



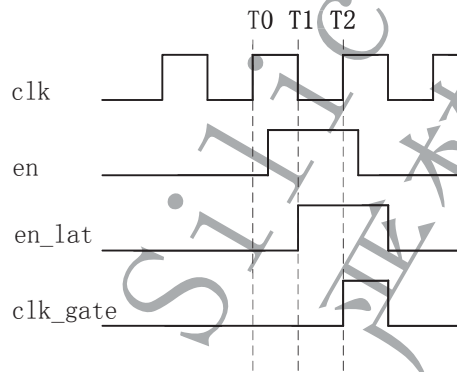
问题：如果是 rising edge 触发的 DFF，可以用 AND gate 来做 clock gating 吗？

半周期的 timing margin 对于高速设计来说，显然是 timing 的瓶颈，所以工程师又发明了"Latch+AND"的 clk gating 结构，电路结构见下图：



注意：图中的 Latch 是 Negedge 导通的 Latch。

使用"Latch+AND"的 clk gating 结构后，波形图如下图所示：



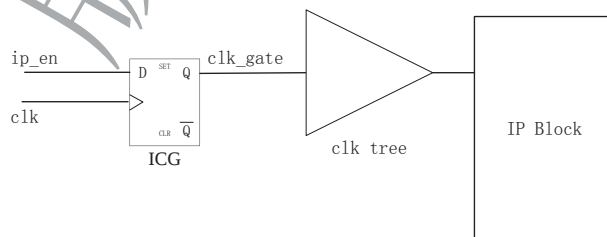
使用"Latch+AND"的 clk gating 结构后，timing margin 会是 1 个 clock 周期。

TIP：可以想想，即使 en 的 delay 很大，直到 clock == 0 的时候才变 1，又怎么样？可以画画 clk_gate 的波形是什么样子的。

在现在先进制程(< 0.13um)的 ASIC cell library 中，通常把"Latch+AND"封装成一个 cell，取名 ICG cell。

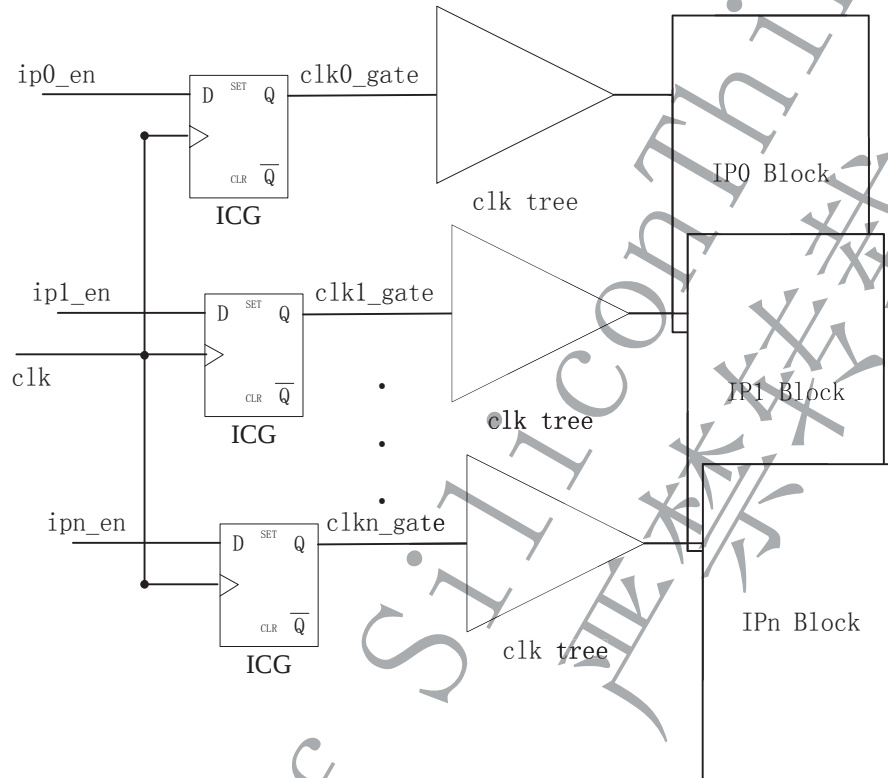
2.2 Sub-Block Level

在一个大的 IP clock 中，可能有一些 sub-block 在一段时间内是不需要进行运算的，所以可以在这段时间把这些 sub-block 的 clock 给关掉。这个行为，综合工具是无法推断的，所以需要 designer 设计在 RTL code 中，通常电路结构如下图。其中，"ip_en"可以由 FSM 控制，或是 SW 配置寄存器控制。



2.3 Function-Block Level

在一颗 IC/SOC 中，其实也是一样的。可能有一些 IP block 在一段时间内是不需要进行运算的，所以可以在这段时间把这些 IP block 的 clock 给关掉。通常电路结构如下图：



类似 Sub-Block Level clk gating 的控制，ip0_en/ip1_en.../ipn_en 通常也是 SW 配置寄存器控制的。

3 Power-Gating 低功耗技术

随着工艺的不断演进，静态漏电功耗也越来越不容忽视，所以数字 IC 设计流程中引入了 power-gating 的方式。其思想就是：把暂时不工作的 block（或区域）的 power 供电给切掉，这样连漏电都没有了。此技术一般需要配合编写 UPF 文件，定义 power domain 的规划。限于能力有限，此部分就不展开了。目前休眠功耗在 uW 级的 MCU，大多采用此技术。

4 SOI 工艺低功耗技术

在 22nm 以后，数字 IC 制造工艺开发出量大分支：FinFET 与 SOI。其中 FinFET 以 clock frequency 著称，而 SOI 工艺则偏重静态漏电的控制。所以一些低功耗 IoT 芯片，也有选用 SOI 工艺设计制造的。

群主不搞工艺，具体细节请自己发掘。

5 更多

说了这么多，其实这些可能都不是最省功耗的方法。

要节省功耗，还得从顶层设计规划，算法设计入手。比如：

- a) 针对同样市场的 IC, A 公司可能直接把某些无用的 function block 给砍掉了。省功耗不？
 - b) 对于同样的事务(比如通信信道调制/解调, CNN 神经网络加速器), 在达到同样效果时, 可能有多种不同的算法, 每种算法的 hardware 实现差异巨大。比如 CNN 加速器中, 达到类似的检测误差, 可以有:
 - 1) 不同的网络类型可供选择;
 - 2) 同一个网络类型, 网络深度, 每层特征图 (feature map) 的数目也是可调的;
 - 3) 每层是哪种数据运算类型: float/int32/int16/int8/int4, 也是可选的;
- 如上选择的差异, 导致的运算逻辑面积的差异不小吧! 更大的面积是否带来更大的功耗?

顺带打个广告:

- a) 《数字IC/FPGA设计入门_合集》: <https://ke.qq.com/course/3133628?tuin=64ce5e2a>
 - b) 《PPGA设计入门》: <https://ke.qq.com/course/3067626?tuin=64ce5e2a>
 - c) 《On-Chip-Bus 精讲》: <https://ke.qq.com/course/2900266?tuin=64ce5e2a>
 - d) 《数字IP设计实例_A》: <https://ke.qq.com/course/3132227?tuin=64ce5e2a>
-

群主介绍 (QQ 技术交流群: 877205676):

sky: 2006 年电子科大毕业; 前 Verisilicon Senior Staff Engineer; 数字电路前端设计从业 14 年; 主要做视频 IP 设计 (H.264/H.265 编解码器设计, JPEG 编解码器设计), CNN 加速器 IP 设计。参与 7 颗 ASIC/SOC 芯片设计 (量产 3 颗)。目前申请 3 篇国家发明专利。

公司主页: www.siliconthink.cn