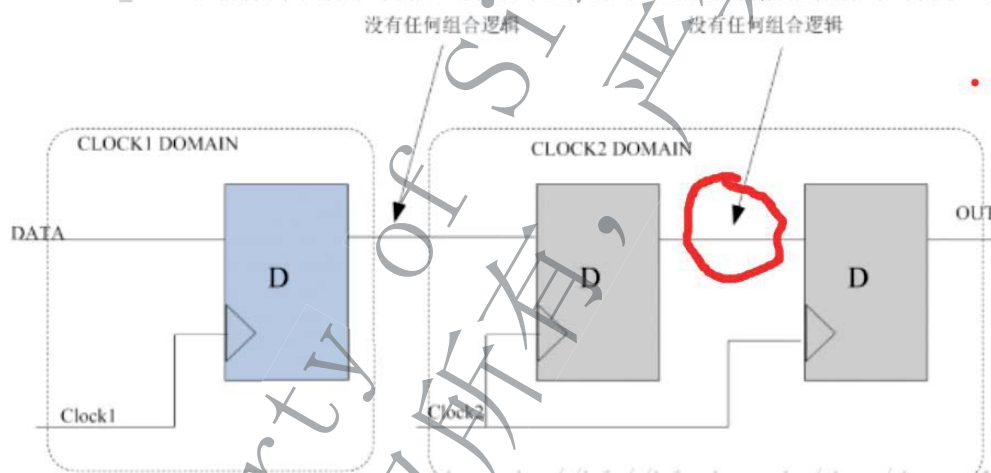


—— 经典对答

话题:

单 bit 跨时钟域数据同步时候，打第一拍的时候画圈这块会有亚稳态，为什么第二个时钟时候，最右边那个 D 触发器的输出可以作为判定结果，亚稳态的状态不会传递下去吗？求解。



当亚稳态事件持续时间长至足以影响到下一个逻辑阶段时，同步器就发生了故障。故障间平均时间（MTBF）通常计算如下：

$$MTBF = \frac{1}{f_{clk} * f_{data} * T_0} * e^{\frac{t_{es}}{T_1}}$$

T_0 和 T_1 是与具体触发器相关的常数（下文将进一步叙述）

S 中 月 °,

@MM 您的经典对答，是您自己来，还是我代劳？

请各位继续发表看法。不要怕说错。

我好像有点眉目了，CLKA 传来的数据，到 CLKB 第一个 D 触发器产生亚稳态，而亚稳态在一个时钟周期内可以达到稳定状态，CLKB 第二个 D 触发器在第二个时钟恰好可以采集到这个稳定的数据。

请问是这样理解的嘛？

打酱油 A：正解。据从亚稳态过度到一个稳定的状态，恢复是很快快的。

感谢赐教 🙏

打酱油 B：实际上即使是打了两拍，还是会有 1bit 的数据是错的情况，就是因为亚稳态。数据不满足建立保持时间的时候就会发生这种情况。

但是第二级的电平不会处于不确定状态。还有一个要求是从慢时钟域到快时钟域，否则就需要先展宽。

嗯嗯，谢谢啦。

打酱油 C：第一个周期同步后不一定一定能达到稳态，也可能是将亚稳态传递下去，但是根据公式计算，在第二个周期基本在能达到稳态，再高频就要打 3 拍了。而且你脉冲同步一般不会只传输一个周期，只要保证在某个周期 clk2 一定能采到 clk1，之后检测边沿，那么前一个周期亚稳态之后采到 0 还是 1 也就无所谓了。

个人理解 有不对的地方还请指正 🙏🙏

@打酱油 C：我喜欢你。你的态度。要是我早些年如此，也不至于今天落得如此地步。😞
这个问题，比较复杂。因为书上讲的，跟我听到的（from Mountain），差异很大。经过一些求证，我信了 Mountain 的。

打酱油 C：你们才是高手 🙏

在此，借用 Mountain 的经典对答开始：

借用原问题（其实考虑很仔细了）：

单 bit 跨时钟域数据同步时候，打第一拍的时候画圈这块会有亚稳态，为什么第二个时钟时候，最右边那个 D 触发器的输出可以作为判定结果，亚稳态的状态不会传递下去吗？求解。

再细化：两级 DFF，naming: sync_dff_1, sync_dff_2

1): sync_dff_2: 还会有亚稳态的概率吗？

书上的答案：MTBF。很低。

见上图公式。

PS：如下@xxx，仅技术交流，不要在意。

@打酱油 A @打酱油 B sync_dff_2 会不会有 Metastable 的概率？非常低的概率也算。

或者可以乱入。随意回答。

@打酱油 C 欢迎抢答。

打酱油 C: 有。

概率是多少？有具体的 number 没有？

打酱油 C: 与频率有关吧。

给个数量级的范围也行。比如 28nm, 500MHZ, sync_dff_2, 仍然 Metastable 的概率范围？

打酱油 C: 0.1% 以下？

我记得是 600M 以上才需要 3 级 DFF。55nm, 不知道记对没。

你这是 how to do。

我们即将讨论的是: what, how, why, do it better.

0.1% 以下，能再概率低些不？大胆说。

打酱油 D: 这个 0.1% 应该是猜测吧？ $1e-8$ 么？

好的。500MHZ, 是多少？

$500 \times 10^6 = 5 \times 10^8$ 。

按你这概率，“ $1e-8$ 么”，1s 错几次？

打酱油 C: 5。

正确。

你手机/PC/蓝牙耳机, 1s 钟死机 5 次没有？

别说 1s 五次, 就是 1 小时 1 次, 你买不买。

然后里面有多少颗 IC, 有多少 CDC 的地方？

概率是累加的不？

打酱油 C: 刚查了一下 很小很小啊。😭 以年为单位出错。

继续。一个 bit CDC 是 10 年？

打酱油 E: 我记得之前看到过两级 DFF 百年以上了, 具体多少记不清了。

好的。100 年。一个 bit CDC 是 100 年。你的 PC, DDR 位宽多少 bit？

你打开一个真实的 SOC 看看, 里面有多少 bit CDC 的地方？

大酱油 A: 群主想表达的意思, 是不是说, 1bit 是 100 年出一次错, 2bit 就是 50 年了, 而芯片里通常有几千 bit 的 CDC, 按这个概率推算, 应该每个小时都出错才对。

所以“100 年错一次”这个估计还是太保守了, 不如直接说“概率小到不值得估算”

是的。那总得有个 number 吧？

打酱油 C: 这个 MTBF 的计算公式里参数也不知道多大啊, 不知道咋估算出来多少年的。

并且: 如果 2 级 DFF 时, “概率小到不值得估算”。为啥有人说: 高速电路 (600MHZ 时), 需要 3 级 DFF？

这个怎么解释？

打酱油 C: 我那个是经验, 原理不清楚 🤔

我说啦, 我们即将讨论的是: what, how, why, do it better。

打酱油 F: 速度上去之后, 第二级触发器亚稳态的概率上去了。所以要再加一级。降低亚稳态的可能性。

200MHZ 时, “概率小到不值得估算”。到 600MHZ, 能上去多少？

打酱油 C: 按那个公式来看, 600M 到 300M 也只是差个 2 倍, 如果 10 年的话, 现在还有 5 年呢！

@打酱油 C 所以我喜欢你。

@打酱油 F 技术，不止感觉。得有数据，分析支撑。

打酱油 C: 😂 这个公式有人知道各参数大概范围没

打酱油 F: 有的是触发器的参数。

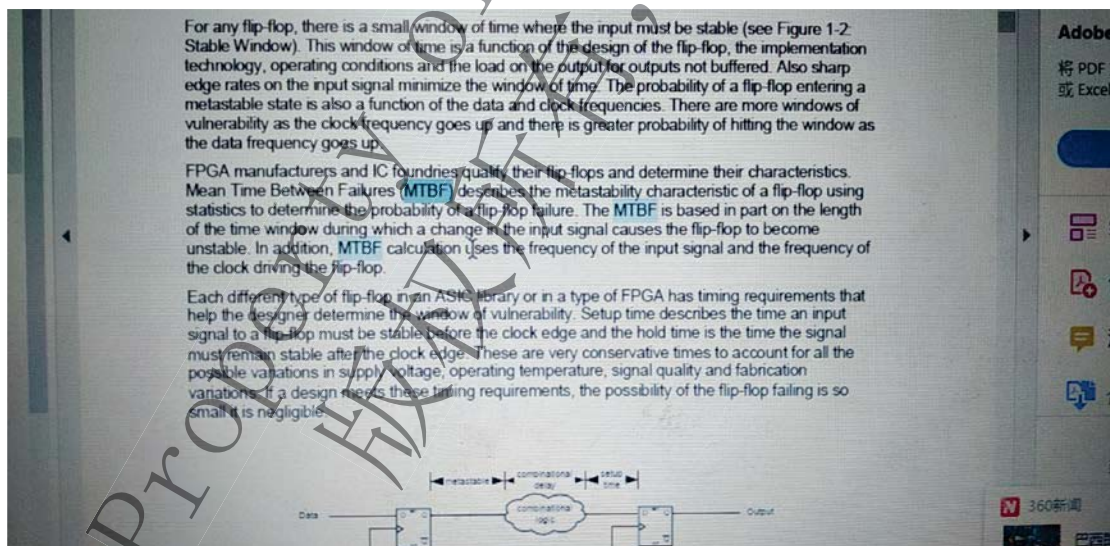
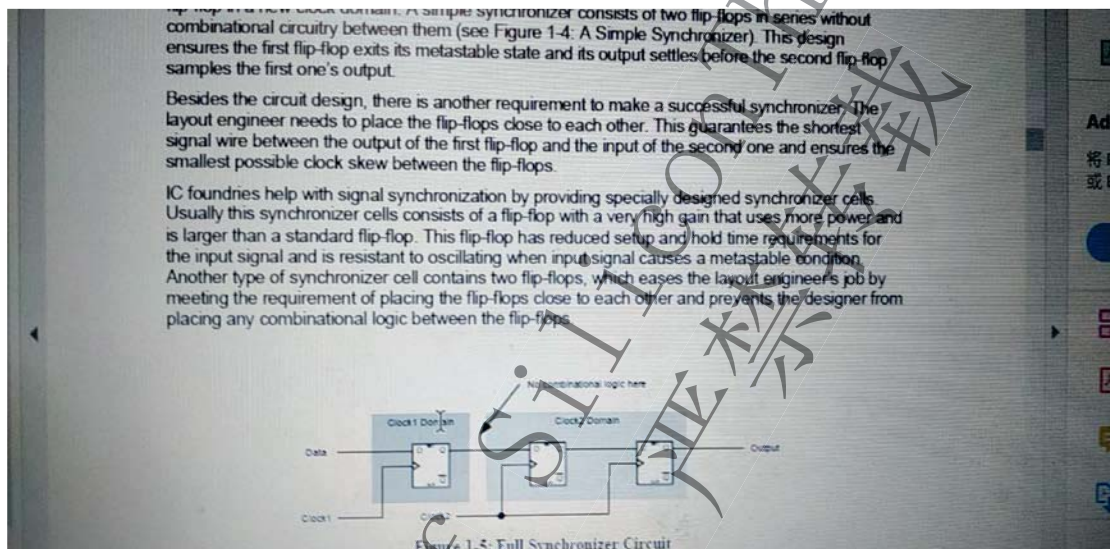
正确思路。

打酱油 F: 具体需要看器件手册。

@打酱油 F: 给算个概率呗？

打酱油 C: 哦哦

打酱油 F: 早前看了一篇文章，没怎么细究。



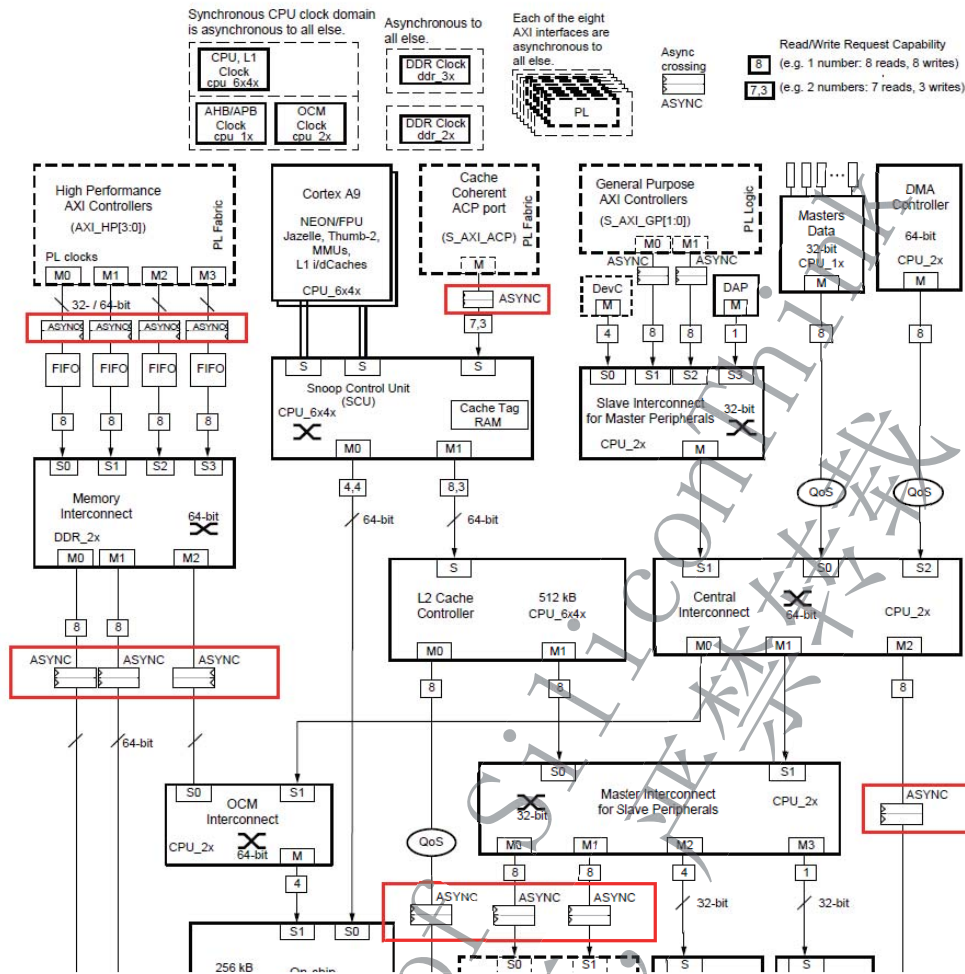
麻烦再给个数据。具体的 number。

找个女朋友，你是否希望精确的知道她的三维？

打酱油 F: 等我有空，现在在搞新项目。

行吧。

如图：zynq ARM 的 PS 端，AXI 系统部分的示意图，有多少 async 的地方？



先说结论：Mountain 的说法：如果 CDC 电路结构正确，是 100%可以同步正确。就是 sync_dff_2 100.00000000000000%没有 Metastable 了。

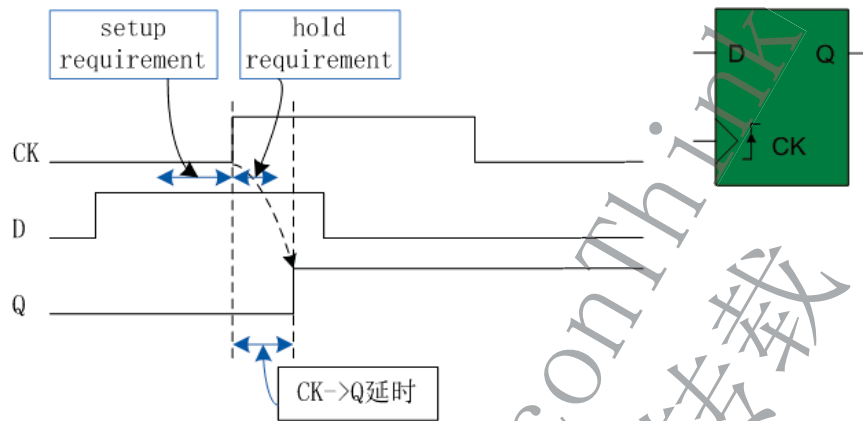
下面说 why。

思路：

1): Metastable 物理现象：

Metastable产生

□ DDF的setup/hold满足要求时:



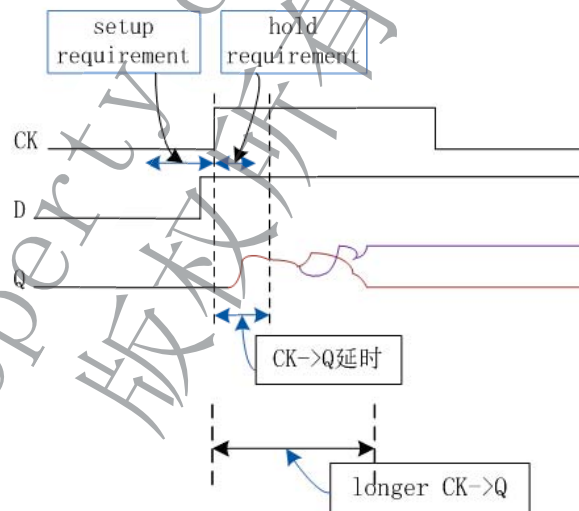
9:CDC电路设计

数字前端设计（版权所有）

4

Metastable产生

□ DFF setup/hold不满足要求时:



9:CDC电路设计

数字前端设计（版权所有）

5

Metastable问题

❑ Metastable导致的问题

- DFF的输出端不确定，可能是“1”/“0”；
- 比cell-library里面定义的更长的CK->Q延时；

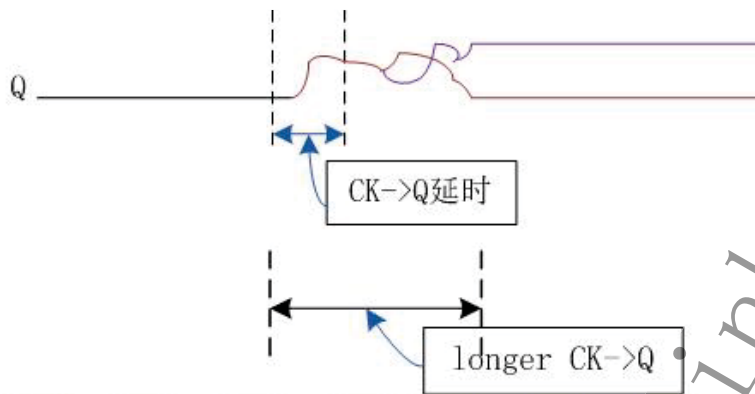
maximal metastable time
usually within 1ns for
process less than 0.13um

❑ 靠跨时钟域同步电路处理Metastable问题

跨时钟域处理目标

❑ 100%确保数据（事件）在跨时钟域时的数据完整性

- 数据（事件）的值不能错；
- 数据（事件）的顺序不能错；
- 数据（事件）的个数不能错；
- 同步过后的数据（事件）没有metastable现象；



在 Metastable 时，longer CK->Q 是多少？

这个是可以计算的 $F(x,y,z)$ 。请问这个 delay 的函数， $F(x,y,z)$ 里面，影响因素有哪些？

打酱油 E：信号落在 setup/hold 窗口内部的时刻。

@打酱油 E 描述清楚。文字不行，就画图嘛。

大酱油 A：器件自身性能，信号在 setup hold 窗口里的具体波形，应该还有时钟自身的 transition？个人推测的。



再加：sync_dff_1 的 loading (RC)

大酱油 A：啊对，肯定还和负载相关，只不过通常假设两个触发器离得很近，中间线网的 RC 可以忽略。

你女朋友跟你坐一起上课，你敢说：她心里没想过前排的帅哥？

如果计算好 $\text{Meta_delay}(x,y,z)$ ，并假设： $\text{Meta_delay}(x,y,z) \leq 1\text{ns}$ ，在 $\text{CLK} == 500\text{MHz}$ 时，是否会让 sync_dff_2 完全没有 Metastable？

PS：大酱油 A 撤回了一条消息

@大酱油 A 别撤回。正确着呢。你打字比我快多了。

大酱油 A：我傻了，我说的是对的 🤔。只要 metadelay 小于时钟周期，第二级就 100% 稳定。

好的。

如果 $\text{clk} == 500\text{MHz}$ 时，很有机会 sync_dff_2 100% OK。

但是如果 $\text{clk_freq} == 800\text{MHz}$ 是呢？假设： $\text{Meta_delay}(x,y,z) == 1\text{ns}$ 。

大酱油 A：那取决于第二级触发器的 setup 了，如果稳定时已经进入了 setup hold 窗口，那就有可能不稳定。

我也喜欢你。

打酱油 G：??? 形而上学的教学法。

大酱油 A：😭，🤔

打酱油 G：意识形态。

@打酱油 G sky 大多数时候在装逼。此刻是认真的。

好的。所以，在 800MHZ 时，sync_dff_2 能 100% 同步正确的可能性就低很多了。

再回顾，Meta_delay(x,y,z)跟哪些因素有关？

大酱油 A：器件自身性能，信号在 setup hold 窗口里的具体波形，应该还有时钟自身的 transition, loading。

如果这时，即使 sync_dff_2 发生 Metastable，会是随机的 Metastable 吗？（sync_dff_2 的 setup/hold violation 有多严重？）

sync_dff_2 的 D 端信号和时钟的时序关系如何？

大酱油 A：不是随机的，只是在一定程度上不满足 setup，但并不是最差情况。也就是说第二级的 metadelay 会更短。

所以，是不是 sync_dff_2，即使 Metastable(800MHZ 时)，是否 Meta_delay(x,y,z)会比 sync_dff_1 小很多？

大酱油 A：对吧。



然后，为啥低速电路：2 级 DFF 同步。高速电路需要 3 级 DFF 同步。

get it?

大酱油 A：第二级的 metadelay 更短，第三级就不会有 metastable 了，即使频率很高以至于它还有，那么这个 delay 也只会更短。

但是，“600MHz 以上通常用三级同步触发器”，到底是计算出来的，还是经验总结出来的？
换句话说的话，就是说，metadelay 的影响因素那么多，究竟能否计算出一个最坏情况下的最大值？并以此逐级推算下一级触发器的 metadelay？

是的。

You get it.

“600MHz 以上通常用三级同步触发器”，到底是计算出来的，还是经验总结出来的？

我是经验总结。

所以，你也知道。CDC 电路能对，肯定有最高频率的限制，对吧？

类似你单个 clk，不能跑无限 freq。

大酱油 A：应该说这个经验没有错，更高频的时候甚至需要更多级同步器来逐级优化信号，而且理论上来说，逼近极限频率的时候，需要的触发器级数是指数上升的。

再回来：书上讲错了吗？

如果错了，为啥一直这么印着(MTBF)？

打酱油 F：错当然没错，可能是按照最差的情况推演的结果。

你还没 get。

猜可以，都是先猜。

但是，分析，理由得跟上。

@打酱油 F 如上分析，500MHZ 时，可以 100%同步正确。

按书上，不是仍有极低的概率会错吗？这不明显矛盾吗？

那：是书上错了，还是我们分析有问题？

大酱油 A：刚才那个分析是以 metadelay≤1ns 为基础的，但实际上 metadelay 的上限是计算不出来的。只能通过插值去仿真，获得一个比如说“99.999%情况下小于某值”（概率随口说的），但确定不了这个上限。

要是这样，我这逼装大了。

得去挑战权威。

大酱油 A: 群主直接讲吧 😭

书上没错，我们也没错：讨论的基调不同。

书上假设：sync_dff_2 用的是 sync_clk_2，sync_dff_1 用的是 sync_clk_1。并且 sync_clk_2/sync_clk_1 毛关系没有。

我们的实际：sync_dff_2、sync_dff_1 都用的 sync_clk。

大酱油 A: 这不对吧，这样的话第二级和第一级之间不也是异步时钟了。

你去看书。

然后，一些 coding guide，是不是有解释了：

1): sync_dff_1 与 sync_dff_2 直接不能插入 comb logic。

2): sync_dff_1 的 loading 要小，不能 drive 太多；还得跟 sync_dff_2 靠的很近(place & route)。

3): 高速设计，sync_dff_1(尤其是这个 DFF)/sync_dff_2 要调用 cell library 里面特别的 SYNC DFF。

大酱油 A: 对啊，这是为了尽可能降低 dff_1.Q 信号的 transition，以及尽可能让这两个触发器的时钟是同一个时钟。（也就是说这两个触发器的时钟之间有区别，但决不可能是“毛关系没有”，它俩是同源同频的，只是可能有微小的相位差）。

问题继续：DFF setup/hold 满足时，tool 可以算 $Clk \rightarrow Q$ delay。

但是 Metastable 时，tool 怎么算 $Meta_delay(x,y,z)$?

大酱油 A: 工具没法算吧。

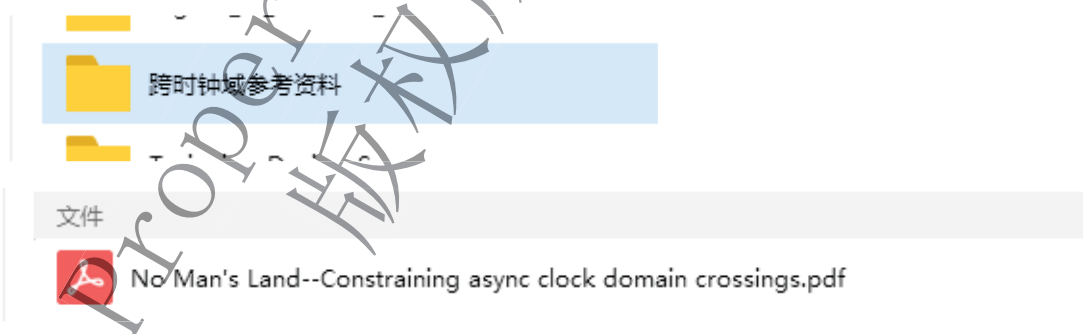
所以，继续问题继续：在 CDC 电路里，是不是 SDC 设置：set_false_path -from clk1 -to clk2 就完事了？

大酱油 A: SDC 里这么设置只是让工具把它俩假设成同一个时钟，实际上确保它们一致还是要靠 PR。

@大酱油 A 猜完，看 paper。

自己想想

再看 paper:



大酱油 A: 罢了罢了我去看看文章，我不是学微电子的，全靠网上资料和工作经验学的，太细节的东西不该去盲目讨论的 😭。

打酱油 F: 02 年其实有个文章讲了这件事，可以翻翻国外的 paper。

如上，也是师宗 Ph.D. Mountain 教授的。



大佬一直没有“开枪”。不才代劳了。
在此，不才向 Mountain 表示感谢。

谢谢



下课。顺带打个广告：如上讨论的有声版：《数字 IC/FPGA 设计入门_合集》

<https://ke.qq.com/course/3133628?tuin=64ce5e2a> 的第 13/14 课。

课里，还有 multi-bit CDC 电路设计哈。

群主介绍（QQ 技术交流群：877205676）：

sky：2006 年电子科大毕业；前 Verisilicon Senior Staff Engineer；数字电路前端设计从业 14 年；主要做视频 IP 设计（H.264/H.265 编解码器设计，JPEG 编解码器设计），CNN 加速器 IP 设计。参与 7 颗 ASIC/SOC 芯片设计（量产 3 颗）。目前申请 3 篇国家发明专利。

公司主页：www.siliconthink.cn